

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-206386
 (43)Date of publication of application : 12.09.1986

(51)Int.Cl.

H04N 7/01

(21)Application number : 60-046569
 (22)Date of filing : 11.03.1985

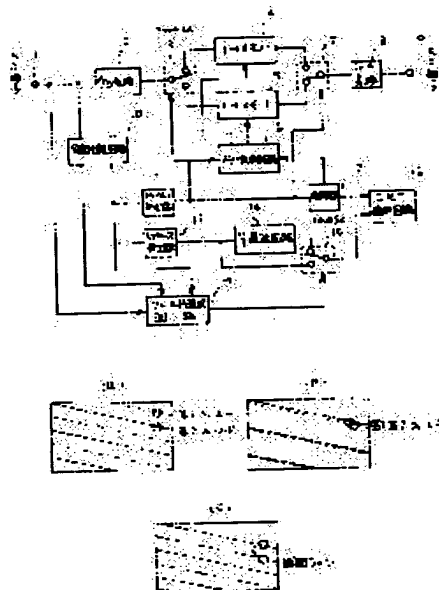
(71)Applicant : HITACHI LTD
 (72)Inventor : ARAI IKUYA
 MURATA TOSHINORI
 KURITA TOSHIYUKI
 INMI MASABUMI
 MATONO TAKAAKI

(54) TELEVISION RECEIVER

(57)Abstract:

PURPOSE: To display an image of a high quality without a line flicker and lower a cost and reduce a circuit scale by previously detecting a field in which picture information is present ahead of the first and the second fields before carrying out a scanning line interpolation, delaying by $1/2H$ (horizontal scanning period), and coinciding scanings of the first and the second fields.

CONSTITUTION: If the picture element of the second field comes after a picture of one field element as shown in Fig. a comes before-hand on an image plane, a field selecting circuit 17 selects a switch SC 15 so as to delay the V pulse of a vertical synchronous signal of the first field by $H/2$. At this time, the V pulse is delayed by $H/2$ by a $H/2$ delay circuit 14. Thereafter, the second field, applying no operation to the V pulse by the switch SC 15, is inputted to a CRT deflecting circuit 16. In this manner, as shown in Fig. b, the scanning line of the first field and that of the second field are overlapped with each other and the picture elements coincide with each other on the picture plane. After the field coinciding operation, the scanning line interpolation is repeated to obtain the picture plane as shown in Fig. c.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-206386

⑬ Int. Cl.⁴
H 04 N 7/01

識別記号

庁内整理番号
8523-5C

⑭ 公開 昭和61年(1986)9月12日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 テレビジョン受信機

⑯ 特 願 昭60-46569

⑰ 出 願 昭60(1985)3月11日

⑱ 発 明 者 荒 井 郁 也 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研
究所内
⑱ 発 明 者 村 田 敏 則 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研
究所内
⑱ 発 明 者 栗 田 俊 之 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研
究所内
⑱ 発 明 者 員 見 正 文 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研
究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1 発明の名称

テレビジョン受信機

2 特許請求の範囲

- 1) 入来するテレビジョン信号の1フレームを構成する第1フィールドと第2フィールドの何れか一方を $\frac{H}{2}$ (但しHは1水平走査周期)期間遅延させることによりノンインタレース走査方式によって画像を表示させる第1の手段と、ラインメモリに対する前記テレビジョン信号の書き込み、読出しを制御することにより画面における走査線補間を可能にする第2の手段と、を具備したことを特徴とするテレビジョン受信機。
- 2) 特許請求の範囲第1項記載のテレビジョン受信機において、前記第1の手段は、前記第1フィールドと第2フィールドのうちどちらに最初に画像情報が現れたかを検知する手段と、最初に画像の現れた方のフィールドに属する垂直同期信号を $\frac{H}{2}$ 期間遅延させる手段と、

遅延後の該垂直同期信号を陰極線管偏向回路に印加する手段と、から成ることを特徴とするテレビジョン受信機。

3 発明の詳細な説明

〔発明の利用分野〕

本発明は、カラーテレビジョン信号の高画質化信号変換に係り、特にデジタルテレビジョンにおいて文字放送等の静止画面を表示するのに最適な走査線変換回路に関する。

〔発明の背景〕

現行方式のテレビジョンシステムは2:1インタレース走査方式を行っている。このため、高画質化に際し、次のような問題点がある。

- (1) 横線の境界付近でラインフリッカが発生する。
- (2) 1フィールド当りの走査線数が2625本と少ないために、高輝度画面または大型画面ほど粗い走査線構造が顕著になる。
また、ラインフリッカは特に静止画面において目立つため、現在試験放送が行われている

文字放送やキャプテンシステム、あるいはパソコン等の静止面モニターにおいて問題となっている。

従来、ラインフリッカーの改善方法としてはラインメモリを用いて走査線を2倍とする方法が提案されており、同一フィールドを繰り返す繰り返し補間方式とライン間の平均値をとって補間を行う平均値補間方式とがある。平均値補間方式の公知例としては特開昭58-79378号がある。

第6図は、その従来例の基本的考え方を示すブロック図で、601は入力端子、602はスイッチ(S_1)、603,604,605は1Hのラインメモリ、606はスイッチ(S_2)、607は加算器、608は $1/2$ 減衰器、609はスイッチ(S_3)、610は出力端子、611はラインメモリ制御回路、612,613,614は R/\bar{R} 制御信号である。次に従来例の動作について第7図の動作説明用タイムチャートを用いて説明する。

各ラインメモリ603,604,605は第7図に示す

スイッチ(S_1)606に入力され、制御回路611からの切換信号615により、第7図リ、 \bar{R} に示すタイミングでラインメモリから1H分のデータが出力される。スイッチ(S_2)606からの出力 \bar{R} および R は加算器607と $1/2$ 減衰器608により、平均されてスイッチ(S_3)609に入力される。スイッチ(S_3)609は、 $1/2$ H周期毎に切り替わり、出力端子610には、第7図Pに示すように、元の信号と平均された補間信号が $1/2$ H期間おきに交互に出力され、2倍速に変換されたRGB信号が得られる。この従来例においてスイッチ(S_3)609を上側に固定した場合、出力端子610には第7図のPのような走査線の2度繰り返し補間信号が得られる。

ところが、標準方式のテレビジョン信号は、インタレース走査を行っているため、新たに補間された走査線の位置には前後フィールドの走査線が交互に現われる。従って、上述の方式ではフィールド間の相関がないため画質が向上するどころか劣化してしまう場合がある。この様

ような動作を行う。今、ラインメモリ603が第7図Aの動作を行い、ラインメモリ604が第7図Bの動作を、また、ラインメモリ605が第7図Cの動作を行うとする。まず、ラインメモリ603が第7図Aの書き込み期間 \bar{R} の時は他のラインメモリ604、ラインメモリ605は、読み出し期間 R となる。また、各ラインメモリ603,604,605の読み出し周期は書き込み周期の2倍の速さであり、第7図に示す如き1H期間に2度読み出しが行われる。この読み出し・書き込み(R/\bar{R})制御は、ラインメモリ制御回路611より出力される R/\bar{R} 制御信号612,613,614によって行われる。

RGB信号のうちの1信号が入力端子601に入力されるとスイッチ(S_1)602は、1H周期毎に3つのラインメモリ603,604,605に順次接続され、接続されたラインメモリに1H分のデータが書き込まれる。書き込みが終了すると読み出しに移り、 $1/2$ H周期毎に読み出しを4回繰り返して行く。読み出された1H分のデータはス

子を第8図の走査線補間の原理図を用いて説明する。同図において、 L_1, L_2, L_3 はある特定位置の走査線で、紙面に対して垂直な方向に走査が行われ、左から右へとフィールドが移行する時の画素の様子を示している。また、実線の丸印が実際の画素であり、破線の丸印は走査線補間により新しく作り出された画素である。第8図(a)は平均値補間方式であり、第8図(b)は繰り返し補間方式で、走査線 L_1 は白色の走査線で、走査線 L_2 と L_3 は黒色の走査線とし、走査線 L_1 と走査線 L_2 の間で輝度が大きく変化しているものとする。

第8図(a)では、第1フィールド走査線 L_2 は走査線 L_1 および L_3 の平均をとっており、図のように灰色となる。同様に、第2フィールド、第3フィールドについても補間を行う。この結果、走査線 L_1 ではフィールド毎に白色と灰色を交互に繰り返し、ラインフリッカを軽減するが、完全にはなくならない。また、同様に走査線 L_3 も軽いラインフリッカを生ずる。この方式では、

灰色という中間色が補間されるために、走査線補間する以前よりもラインフリッカは軽減されるが、逆に灰色により境界付近がぼけてしまい画像の垂直解像度を劣化させる。

次に、第8図(a)の場合であるが、第1フィールドの走査線 m_1 は、走査線 m_1 を繰り返し補間したもので、図のように白色となる。第2フィールドの走査線 m_2 は図示せざる前走査線を繰り返し補間したものであり、白色となり、走査線 m_1 は走査線 m_2 の繰り返し補間により黒色となる。第3フィールドは第1フィールドと同様に補間される。ここで、走査線 m_1 に着目すると、フィールド毎に白色と黒色を繰り返し、30Hzのラインフリッカを生じてしまう。

上述したように従来方式では走査線構造が見えなくなるが、絵柄によりラインフリッカを強調したり、垂直方向の解像度を劣化させることがあり、特に、文字放送やキャプテンシステムまたはパーソナルコンピュータの文字図形表示の静止画において高画質画像を得られないと

コンピュータ等の静止画像表示を実現する。

〔発明の実施例〕

以下、本発明の一実施例を図を用いて説明する。第1図は本発明によるテレビジョン受信機の走査線補間部分の構成を示すブロック図である。同図において、1は外部より入力される文字放送信号等の入力端子、2はアナログ・デジタル変換回路（以下、 A/D 変換回路と記す）、3はスイッチ S_A 、4および5は1Hメモリ、6は1Hメモリ4および5を制御するメモリ制御回路、7はスイッチ S_B 、8はデジタル・アナログ変換回路（以下、 D/A 変換回路と記す）、9は出力端子、10は同期分離回路、11はHパルス発生器、12はHパルスの2倍周波数パルスを発生させる倍周器、13はVパルス発生器、14は $\frac{H}{2}$ 遅延回路、15はスイッチ S_C 、16はCRT偏向回路、17はフィールド選択回路、である。

以下、第1図の動作すなわち走査線の一致化と補間について第2図のテレビジョン画面による概念図を用いつつ説明する。まず、走査線の

いり問題点があった。

〔発明の目的〕

本発明の目的は、第1、第2フィールドが同一画像となっている文字放送やキャプテンシステム等、またはパーソナルコンピュータの静止画像表示に適用してラインフリッカのない高画質な画像表示ができ、コスト的にも安価で、回路規模も小さくてすむテレビジョン受信機を提供することにある。

〔発明の概要〕

上記の目的を達成するために、本発明では、走査線補間を行う以前に、第1フィールドと第2フィールドのうち先に画像情報の存在するフィールドを検出して $1/2$ H遅延させることにより、第1、第2フィールドの走査を一致させ、262本あるいは263本ノンインターレース走査とすることで、完全にラインフリッカーを抑圧し、更にはラインメモリを使用することにより、走査線補間を行い、525本ノンインターレース走査による高画質な、文字放送あるいはパーソナル

一致について述べる。第2図(a)、(b)においては破線を第1フィールド、実線を第2フィールドとして示してある。第2図(a)は普通に行われるインターレース走査方式によるテレビジョン画像の静止画面であり、また、(b)は一致化を行ったあとの画像を示す。図中丸印が走査線上の画素である。同図(a)のよう第1フィールドの画素が画面上で先に到来した後、第2フィールドの画素が来る場合、フィールド選択回路17は第1フィールドの垂直同期信号であるVパルスを $\frac{H}{2}$ 遅らせるようにスイッチ S_C 15を選択する。このときVパルスは $\frac{H}{2}$ 遅延回路14により $\frac{H}{2}$ だけ遅れる。 $\frac{H}{2}$ 遅延回路14の構成としては、シフトレジスタ、デジタルメモリ、あるいはCCD等のアナログ遅延線を用いれば良い。第1フィールドのVパルスを $\frac{H}{2}$ 遅らせた後、第2フィールドはスイッチ S_C 15によりVパルスには何の操作も行わないようにしてCRT偏向回路16に入力される。このようにして第2図(b)のように第1フィールドと第2フィールドの走査線は重なり合い、画素

も合致した画面となる。ここで、第1フィールドと第2フィールドの走査線および画素は見易くするためにそれぞれずらして記してあるが、実際には一致している。

次に走査線の補間について述べる。上述のフィールド一致操作のあとに、繰り返し走査線補間が行われ第2図(ハ)に示す画面を得る。ここで実線はいずれか一方のフィールドの走査線、一点線は補間された走査線を示し、丸印の画素はそのまゝ補間走査線上に繰り返される。これを行う部分は第1図の1Hメモリ4、5、スイッチ S_{A3} 、 S_{B7} 、それとメモリ制御回路6等より成るメモリ回路部である。

以下にライン補間部分の動作を第3図のタイミングチャートを用いつつ説明する。入力端子1より入力された文字放送等のテレビジョン信号はA/D変換回路2によりデジタル化され、スイッチ S_{A3} を介して1Hメモリ4または5に書き込まれる。今、スイッチ S_{A3} が第3図(ハ)に示すように1Hメモリ4を選択する場合、1Hメ

モリ4は同図(ハ)のように書き込み状態となり、1H分のデータAが書き込まれる。一方、1Hメモリ5はこの間に読み出し状態となり、スイッチ S_{B7} は第3図(ハ)のように1H期間、メモリ5を選択する。この読み出しは書き込み周波数の2倍の速さで行われるため第3図(ハ)に示すように1H期間に2度時間軸圧縮されたデータBを読み出す。次の1H期間では上記の逆の動作で、1Hメモリ4は読み出し、1Hメモリ5は書き込み動作を行う。以上の動作を1H毎に繰り返してA/B変換回路8の出力からは第3図(ハ)に示すように1Hメモリ5のデータB、1Hメモリ4のデータAをB、B、A、A、B、B、...のように出力される。文字放送等の画像情報は第1、第2フィールドとも同一であるため、以上のような操作により、第1、第2フィールドのうちのどちらかを $\frac{B}{2}$ 遅延させ、画像を一致させるノンインタレース走査とすることでラインフリッカの発生を完全に抑圧できる。

次に、本発明による実施例を示す第1図にお

いて上記のフィールド選択、遅延を行う部分の動作説明をする。

まず、第1図のフィールド選択回路17は第1、第2フィールドのうち画面上で同一映像情報が先に映るフィールド(例えば、第2図(ハ)における第1フィールド)を検知し、当該フィールドではスイッチ S_{C15} を制御することで第1図における $\frac{B}{2}$ 遅延回路14側に接続し、Vパルス発生回路13より出力されるVパルスを $\frac{B}{2}$ 遅延させる。もう一方のフィールドではフィールド選択回路17はスイッチ S_{C15} をVパルスをそのまま通す方に接続し、CRT偏向回路16に入力する。このようにすれば、第2図(ハ)に示すように走査線一致を行うことができる。ここで、フィールド選択回路17の検知方式としては、第1または第2フィールドのうち映像情報が垂直同期パルスVから計時して先に存在するフィールドを検知するようにしている。具体的には第1フィールド、第2フィールドでVパルスからの水平同期パルス数をそれぞれ計数し、映像が到来した時点で

計数を止め、その時の計数値を第1、第2フィールドで比較し、どちらのフィールドが先か判断した後、その情報に基づき、遅延させるべきフィールドを選択する。

次にフィールド選択回路17の動作を第4図および第5図を用いて以下に詳細に説明する。

第4図はフィールド選択回路17の構成を示すブロック図であり、401はカウンタ回路、402はレジスタA、403はレジスタB、404は比較器、405はスイッチ、406はインバータ、407と408はAND回路、409はリフリップフロップ、410はRSフリップフロップ、411は遅延時間2~3μsの遅延回路、412はコンパレータ、413は基準電圧 V_{REF} 、414はクランプ回路、である。また、第5図は第4図の要部の信号波形を示す波形図である。

まず、同期分離回路25より得られた垂直同期パルスVは遅延回路411により2~3μs程度遅延され、第5図Aの信号となる。この信号Aと第1フィールドの水平同期パルスB(仮に第5

図Bの信号を第1フィールドとする)とをリフリップフロップ409に入力すると第5図Bの信号を得る。同様に第2フィールドの水平同期パルスB(仮に第2フィールドとする)を入力した場合には第5図B'の信号を得る。このようにしてリフリップフロップ409からは第1、第2フィールドの識別信号を得る。一方、映像信号位置の検知は以下のようにして行う。クランプ回路414によりベデスタルクランプされた映像信号Cは基準電圧 V_{REF} をしきい値としてコンパレータ412で比較され信号Dを得る。この信号DをRSフリップフロップ410のS入力とし、R入力として垂直同期パルスFを入力すれば映像信号位置検知信号Pが得られる。以上の第1、第2フィールド識別信号Bと映像位置検知信号Pとの論理積をAND回路407によりとるとレジスタA402のラッチクロックGとなる。同様な操作で第2フィールドではレジスタB403のラッチクロックが得られる。一方、カウンタ回路401は垂直同期パルスFからの水平同期パ

ルスHの個数を計数し、第1フィールド用レジスタA402および第2フィールド用レジスタB403は上述のラッチクロックにより垂直同期パルスFから映像信号位置までの水平同期パルスHの個数を保持する。これら保持されたデータを比較器404により比較することで、第1、第2フィールドのどちらが先に現れるかの判別信号を比較器404より出力し、この判別信号によりスイッチ405を制御する。この時、仮に第1フィールドが先であるならば、スイッチ405は第4図の上側に接続され、第1図のスイッチSc15は第1フィールドを $\frac{H}{2}$ 遅延させ、第2フィールドはそのまますような制御信号を出力する。逆に、第2フィールドが先である場合には上述とはまったく反対の動作を行う。このようにすれば、第1フィールドと第2フィールドの走査線を一致させノンインタレース走査を行わせることができる。

以上説明した通り、本実施例によれば第1フィールドと第2フィールドの画像が同一である

インタレース走査方式の文字放送等における静止画像のデジタル処理によるフィールド間の一致操作によりインタレース・ノンインタレース走査変換を行うことで、ラインフリッカーを除去し、さらには走査線補間を行うことで垂直方向の解像度をも改善することが可能であり、高画質な画像を比較的簡単な回路で実現できるといふ効果がある。

〔発明の効果〕

本発明によれば、ラインメモリと $H/2$ 遅延回路を含む若干の回路を用いることで、第1、第2フィールドの画像が同一なインタレース方式の文字放送等の静止画において、ノンインタレース走査とライン補間を行うことで、ラインフリッカーをなくし、垂直方向のジッタを防止するとともに、回路規模的にも比較的小さくてすむという効果がある。

4. 図面の簡単な説明

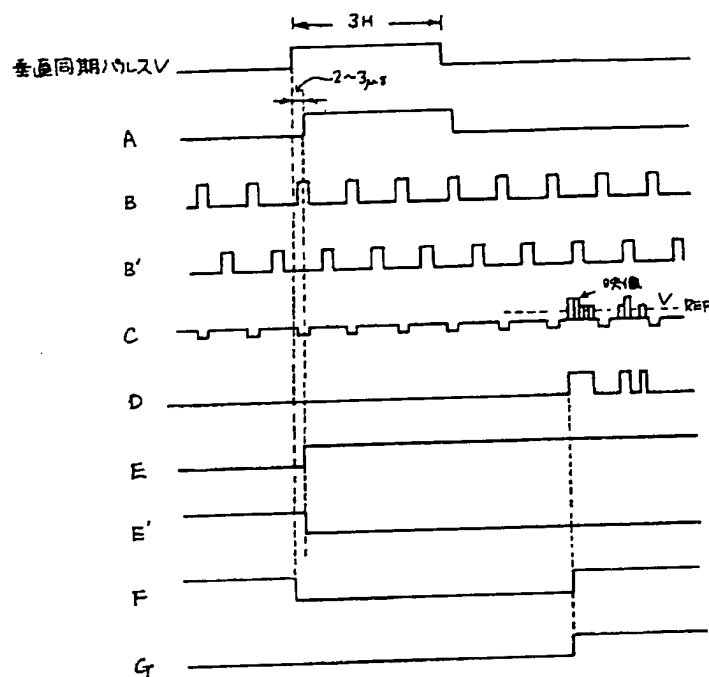
第1図は本発明による走査線補間、ノンインタレース変換回路の構成を示すブロック図、第

2図は本発明の動作原理を示す模式図、第3図は第1図の走査線補間部の動作を示すタイムチャート、第4図は第1図のノンインタレース変換部のフィールド選択回路の構成を示すブロック図、第5図は第4図の動作を示す波形図、第6図は従来の走査線補間回路の構成を示すブロック図、第7図は第6図の動作を示すタイムチャート、第8図は従来例の原理を示す模式図、である。

- | | |
|----------------|--------------------------|
| 2...Nリ変換回路 | 3...スイッチ |
| 4,5...1Hラインメモリ | |
| 6...メモリ制御回路 | 7...スイッチ |
| 8...L/A変換回路 | 10...同期分離回路 |
| 11...Hパルス発生器 | 12...倍周器 |
| 13...Fパルス発生器 | 14... $\frac{H}{2}$ 遅延回路 |
| 15...スイッチ | 17...フィールド選択回路 |

代理人弁理士 小川 勝 男

第 5 図



第 8 図

	(a)			(b)		
	第1 フィールド	第2 フィールド	第3 フィールド	第1 フィールド	第2 フィールド	第3 フィールド
l_1	白	灰	白	白	白	白
l_2	灰	黒	灰	白	黒	白
l_3	黒	黒	黒	黒	黒	黒

第1頁の続き

②発明者の野

孝明

横浜市戸塚区吉田町292番地 株式会社日立製作所家電研
究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.